SDO为输出,用以查看寄存器的内容

加电时寄存器清零复位,输出为零



参考电压Vref输入范围+/-10V

Vdd为电源电压2.5V-5.5V

输出电压建立时间最大值110ns,典型值55ns

数字量输入电压最大值Vih为1.7V 最小值Vil为0.8V

数据延时最大值40ns,典型值20ns

时钟输入SCLK ,其频率最大值$f\_{sclk}$为50MHz

数据输入时序如下：



0ns

在SCLK上升沿到来时，数据被锁存到输入移位寄存器当中

逻辑输入电压范围是-0.3V到Vdd+0.3V

如果FPGA输入高电平电压是5V时，Vdd接5V电源

如果FPGA输入高电平电压是3.3V时，Vdd接3.3V电源



各个管脚功能描述如下：

1脚 $I\_{out1A}$ DAC A电流输出

2脚 $I\_{out2A}$ DAC A 模拟地，此脚要接入系统模拟地，但可根据电源供电方式而有所不同

3脚 $R\_{FBA}$ 反馈电阻引脚，通过连接到外部的放大器输出端，建立起DAC A的电压输出

4脚 $V\_{REFA}$ DAC A的参考输入电压

5脚 $GND$ 接地引脚

6脚 /LDAC 加载DAC 写信号输入，允许DAC输出的同步或异步更新。当/LDAC由高变低时，DAC将处于异步更新。而当/LDAC一直为低电平时，在芯片处于独立模式下，DAC将在第16个时钟SCLK的下降沿同步更新，或在器件处于串级链模式下将在/SYNC信号的上升沿同步更新

7脚 SCLK 时钟信号输入，默认情况下，数据将在SCLK的下降沿锁存到输入移位寄存器，也可通过控制位使数据在SCLK的上升沿锁存到输入移位寄存器

8脚 SDIN 串行数据输入端，在时钟SCLK有效边沿时，数据将锁存到16位输入寄存器中。默认情况下，在上电复位时，数据将在时钟SCLK下降沿时输入到输入移位寄存器，也可通过控制位改变时钟SCLK有效边沿

9脚 SDO 串行数据输出，默认情况下，数据是在时钟SCLK下降沿时输入到输入移位寄存器，而在接下来的时钟SCLK上升沿通过SDO输出。数据的锁定输出总是在数据写入移位寄存器对应的有效时钟边沿的交替边沿。通过写入回读控制字到移位寄存器中可使SDO输出有效（使能SDO）

10脚 /SYNC 低电平有效控制输入端，输入数据的帧同步信号。当/SYNC由高变低时，使SCLK和SDIN缓冲块上电，同时使能输入移位寄存器。数据在接下来的有效时钟SCLK边沿开始加载到输入移位寄存器。独立模式下，串行接口计数时钟脉冲个数，数据将在第16个时钟有效边沿锁存到输入移位寄存器。而当/SYNC在上升沿时SCLK和SDIN缓冲块掉电清零

11脚 /CLR 低电平有效控制输入端，清零DAC 的输入输出和寄存器

12脚 $V\_{DD}$ 正电源输入端，范围2.5V-5.5V

13脚 $V\_{REFB}$ DAC B的参考输入电压

14脚 $R\_{FBB}$ 反馈电阻引脚，通过连接到外部的放大器输出端，建立起DAC B的电压输出

15脚 $I\_{out2B}$ DAC B 模拟地，此脚要接入系统模拟地，但可根据电源供电方式而有所不同

16脚 $I\_{out1A}$ DAC B电流输出

控制寄存器



控制位C3-C0 上电复位时为0000，处于串级链模式，且芯片处于无操作状态。控制位对应的具体功能如下：



①、寄存器模式

控制位为1101时，进入控制寄存器模式，可以向控制寄存器写入控制内容



一、SCO1和SCO2

SCO1和SCO2的功能如下：



SDO的强弱有四个等级，当SDO驱动越强，$t\_{12}$时间就越短



二、DSY

当DSY为1时，处于串级链模式。当为0时，串级链模式无效，此时DAC寄存器的内容从SDO输出，输出完毕后，SDO输出端关断（无效）

三、HCLR

当HCLR为1时，/CLR清零端使DAC输出回到中间刻度。当HCLR为0时，/CLR清零端使DAC输出回到零刻度

四、SCLK

SCLK位决定时钟信号的有效边沿。当SCLK位为0时，数据将在时钟SCLK下降沿时输入到输入移位寄存器；为1时，数据在时钟SCLK上升沿时输入

②、串级链模式

上电复位时为0000，处于串级链模式。当控制位为1001时，串级链模式无效。当/SYNC为低电平时，时钟脉冲SCLK将一直作用于输入移位寄存器，如果多于16个时钟脉冲时，输入的数据流将从输入移位寄存器出来且出现在SDO端口。SDO端口如果与下一片芯片的数据输入端SDIN连接就构成了多设备接口。

当串行传送完毕之后，/SYNC应该变为高电平（可在第16个时钟下降沿之后的5ns后拉高）。当写入控制位0000时芯片处于无操作状态，后面接着输入的数据都将无效。

③、独立模式

在控制位为1001时，进入独立模式。在/SYNC的第一个下降沿时清零时钟计数器并开始计数时钟脉冲个数和输入数据。当在16个时钟的写入周期/SYNC发生变化时，当前的写入周期将被终止。在计数到第16个时钟周期的下降沿时输出数据。要输入下一次数据时，/SYNC必须再次出现下降沿。

与C8051的通讯简图如下：



芯片封装如下：



电流转电压输出电路图：

双极性

单极性

如果模拟地和逻辑地要接到一起，那么连接点只能有一个，并且起始的接地点要尽量地靠近芯片。